

Staggered sustain voltage generator and technique

Publication number: US4316123

Publication date: 1982-02-16

Inventor: KLEEN BERGERT G; LAMOUREUX WILLIAM R;
MARTIN WILLIAM J

Applicant: IBM

Classification:

- international: **G09G3/28; G09G3/28; (IPC1-7): H05B41/30**

- European: **G09G3/28T; G09G3/288D**

Application number: US19800110313 19800108

Priority number(s): US19800110313 19800108

Also published as:

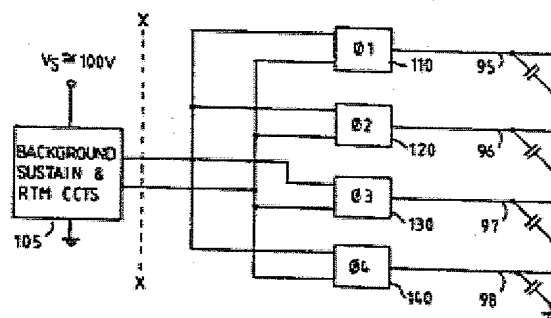
EP0032196 (A2)
JP56104389 (A)
ES8201754 (A)
EP0032196 (A3)
EP0032196 (B1)

[Report a data error here](#)

Abstract of **US4316123**

Large values of avalanche current are avoided in a gas discharge display panel by "staggering" in time the application of the sustain voltage waveforms to different portions of the display panel. A plurality of individual sustain circuit modules each having two 100 v FET's are connected to a common sustain circuit module having another two 100 v FET's. The "staggered" sustain operation is provided by selectively controlling the individual sustain circuit modules. The individual and common sustain circuit modules combine to alternatively produce 0-200 v square wave or a 0-100-200 v return-to-midpoint waveform by selectively controlling the FET's.

FIG 5 BLOCK DIAGRAM OF A STAGGERED SYSTEM



Data supplied from the **esp@cenet** database - Worldwide

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56—104389

⑤ Int. Cl.³
G 09 G 3/28

識別記号

庁内整理番号
7250—5C

⑬ 公開 昭和56年(1981)8月20日
発明の数 1
審査請求 有

(全 6 頁)

⑭ ガス放電表示パネルの制御方法

① 特 願 昭55—162085

② 出 願 昭55(1980)11月19日

優先権主張 ③ 1980年1月8日 ④ 米国(US)
⑤ 110313

⑦ 発 明 者 バーガート・ジイ・クリーン
アメリカ合衆国ニューヨーク州
キングストン・ローリング・ミ
ドウス・アール・デイ5 ローレ
ル・ストリート7番地

⑧ 発 明 者 ウィリアム・アール・ラモリユ
ークス

アメリカ合衆国ニューヨーク州キ
ングストン・ハイランド・アペ
ニュー165番地

⑨ 発 明 者 ウィリアム・ジェイ・マーチン
アメリカ合衆国ニューヨーク州
レーク・カトリン・パークサイ
ド・ドライブ19番地

⑩ 出 願 人 インターナショナル・ビジネス
・マシーンズ・コーポレーショ
ン

アメリカ合衆国10504ニューヨ
ーク州アーモンク(番地なし)

⑪ 代 理 人 弁理士 山本仁朗 外1名

明 細 書

1. 発明の名称 ガス放電表示パネルの制御方法

2. 特許請求の範囲

複数の放電セルを有するガス放電表示パネル
の制御方法において、

互いに電気的に絶縁された複数の維持回路に
該回路の夫々に対する複数の制御信号を予定の
順序で印加し、上記複数の維持回路の個々の動
作を上記制御信号にตอบสนองして時間的にずらせて、
上記複数の維持回路から、互いに時間的にずれ
た複数の維持電圧波形を順次発生し該波形を上
記パネルに印加することを特徴とする上記方法。

3. 発明の詳細な説明

本発明は、ガス放電表示パネルにおける維持電
圧を発生することに関する。

表示パネルの放電セルの夫々に印加するための
維持電圧を発生する装置がガス放電表示パネルに
設けられている。維持電圧によつて或る選択され
たパネル領域は、維持電圧の周波数により決定さ

れる割合でセル内の電流雪崩に基づき放電を起こ
す。このようにして、この選択された領域は連続
して点燈しているかのように見える。

大型のガス放電表示パネルを駆動することに関
して種々な問題が生じる。大型表示パネルでは、
維持電圧により生じるガス雪崩電流が異常に大き
くなる。これらの電流は、電源からケーブル及び
アース復帰路の寄生インダクタンスを介して表示
パネルに引き出される。放電セルの夫々で同時に
生じる維持動作により生じる大きな雪崩電流はこ
れらの寄生インダクタンスを介して時間に関する
大きな電流変化分 (di/dt) を生じこのイン
ダクタンスの両端に電圧を生じる。この電圧降下
により、第1図に示すパネルの両端の電圧にはリ
ンギングA及びノッチングBが生じる。このよう
な波形の崩れは、パネルへの維持電圧の最小値を
増大しそして最大値を減少し、かくして動作の余
裕度を減少する。この大きな電圧降下及び高周波
電流が組合わさつて電磁的相互干渉及びこれに付
随する種々な問題を生じる。アース系の導通雑音

及びケーブルからの放射雑音の両方により雑音の問題が生じる。

これらの問題を回避する1つの方法は、複数個の独立した維持電圧回路をいくつかの電流路に分割することである。複数個の独立した維持電圧回路を用いることは、ノッチング現象を或る程度減少するけれどもこの問題を完全に排除しない。又この解決法は、これがアース復帰路を分けるものでないので上記の導通雑音の問題を解決できない。他の解決法は引き出される雪崩電流の大きさを小さくするようにパネル自体を設計することである。しかしながら電流を小さくすると、輝度が減少しそして動作余裕度が減少する。

パネルのセル相互間のクロストークの問題に対する解決法が米国特許第3851211号に示され、これは、1つの維持第1シーケンスの間1つおきの線を駆動し次の第2シーケンスの間他の1つおきの線を駆動するガス・パネル維持シーケンスを開示している。この技法は、駆動回路の電力消費をも低下する。しかしながら、この米国特許

の維持ユニットにより共通に用いられる。

図2図は表示パネルの3つのセグメントに印加される互いにスタガされた3つの維持電圧波形を示す。本明細書では3もしくは4つの別個の維持駆動装置だけを示すが更に多くの数の維持駆動装置を用いることができる。第1セグメントは、零ボルトから中間点100ボルトに約3マイクロ秒駆動され、次いで200ボルトのフル電圧レベルに駆動されてこのレベルに約8マイクロ秒維持される。次いで、電圧は中間点の100ボルトに戻されてこのレベルに3マイクロ秒保たれ、次いで零電位に戻されてこのレベルに約8マイクロ秒保たれる。第2セグメントは上と同様に駆動されるが、この波形は第1セグメント維持電圧波形よりも時間的に約100~500ナノ秒ずらされている(スタガされている)。第3セグメントも同様に維持電圧波形により駆動されそしてこの波形も同様に第2セグメント維持電圧波形からずらされている。このことは、表示パネルの3つのセグメントにスタガ型維持電圧波形の印加を行なうこと

は、大型表示パネルに対するスタガ型維持技法に全く関与しないものである。

本発明の主な目的は、種々な放電セルに印加される維持波形をスタガさせることである。

本発明の他の目的は、電氣的に絶縁された複数個の維持回路を用いることによりスタガ型の維持波形を与えることである。パネルに生じる雪崩電流がスタガ様式にされるように、複数個の維持回路のそれぞれは、たがいに時間的にスタガされたパネルのセグメントの1つを駆動する。スタガされた雪崩電流はしたがって、寄生インダクタンスの両端の電圧を減少しこれに関連した問題を解決する。

本発明の他の目的は、表示パネル・セルの両端に零から約200ボルトの単極性電圧スイングを発生し(単側型維持器)、そしてスタガ型で複数の維持電圧を与えることである。互いに電氣的に絶縁された複数個の維持ユニットに一对の100ボルトMOS FETが用いられ、一方共通維持回路の一对の100ボルトMOS FETは全て

を意味する。このようにして、雪崩電流は時間的にスタガされ従って標準型の維持波形発生装置に関連する大きな di/dt 値を生じない。

大型ガス放電パネル表示装置に対する維持波形発生装置はバイポーラ・トランジスタではなくパワーMOS FETを用いるように設計されることができ、これにより高電圧・高電流バイポーラ・トランジスタに関連するストレージ及び利得の問題を排除する。低価格のパワーMOS FETの使用は又、装置全体のコスト及び動作コストをも減少する。不都合なことに200ボルトのFETは商業上の入手が困難であり、又本発明に従う維持装置に満足な動作を与えないことが判つた。

第3図に示す如き100ボルトFETの4個のブリッジ構成は100ボルトの単一電源を用いて200ボルトのスイングを与えることができる。第3図ではFETが示されているがIBM 240/480ガス・パネル・プログラムの場合にようにバイポーラ・トランジスタが代わりに用いられ得る。FET10もしくは20から電圧が水

平駆動モジュール30もしくは垂直駆動モジュール35へ交互に引き出される。FET10がオンにバイアスされてソース電圧 V_s を水平駆動モジュール30に印加する時、FET20はオフにバイアスされそしてFET25がオンにバイアスされ垂直駆動モジュール35を基準(アース)電位にするようにFET15もしくは25の1つは2つの駆動モジュールを接地する。FET15はオフにバイアスされねばならない。その結果水平軸は、浮いた状態となり、水平駆動モジュール30及び垂直駆動モジュール35の間にこの必要とされる100ボルトの電位を与える。FET10、15、20及び25のバイアスを逆にすることによりパネル・セル40に200ボルトの電圧スウィングを印加できる。この技法は、セルの放電を維持するに適切な電圧を与えるが、これは両水平及び垂直軸が浮くことを必要とする。このことは垂直軸データ・ロード時間かくしてパネルの更新時間を多大に増大する。

第4図は100ボルト単側型(single-sided)45はオンにバイアスされ、その結果FET45

及びダイオード75を介して線95を源電圧にまで充電する。時刻T3にFET55をオンにバイアスすることにより維持電圧は源電圧 V_s からこれの2倍の電圧にまで増大される。この2倍の電圧 $2V_s$ はFET45及び55並びに以前に100ボルトに充電されていたコンデンサ90を介して線95に印加される。この付勢されたセル100内の放電は、時刻T3における100ボルトから200ボルトへの遷移時に生じる。時刻T4において、この維持電圧は、最初FET45をオフにバイアスし次いでFET50をオンにバイアスして、ダイオード70、コンデンサ90及びFET50を介して線95をこのコンデンサ90の両端の電圧(100ボルト)まで放電することにより、100ボルトのレベルまで戻される。次いで、時刻T5においてFET55をオフにそしてFET60をオンにバイアスすることにより時刻T1の初期状態に戻る。

第4図の単側型維持回路は、100ボルトの中間点へ戻ることなしに200ボルトのピーク・ビ

維持回路を示す。第4図の回路は、第3図のようにパネル・セルの両側に100ボルトを交差的に印加するのではなく、0~200ボルトのスウィングが出力線95に生じるので単側型と呼ばれる。このようにして、単側型維持回路は100ボルトFETを用いてセル放電を維持するに必要な200ボルトの電圧スウィングを生じ、そして垂直軸をアース電位に接続したままにする。

第4図及び第6図を参照してこの単側型維持回路の動作を説明する。最初、時刻T1にFET50及び60はオンにバイアスされ、一方FET45及び55はオフにバイアスされる。水平方向のパネル線95は水平駆動モジュール80を介してアース電位にされそして第6図に示す維持電圧がパネル・セルに印加されてこの付勢されたセル100の放電を起こさせる。又、コンデンサ90はダイオード65及びFET50を介して源(ソース)電圧にまで充電される。時刻T2に、FET50及び60はオフにバイアスされ、一方FET

45はオンにバイアスされ、その結果FET45一ク値の矩形波を与えるように動作し得る。このことは、FET50及び60がオフにされる毎に両FET45及び55をオンにバイアスするように(又はこの逆)FET55をFET45と同時に動作させることにより達成される。最初、FET50及び60がオンにバイアスされそしてFET45及び55がオフにバイアスされている状態では、水平線95は水平駆動モジュールを介してアース電位に引上げられ、そしてコンデンサ90は上述の如く源電圧に充電される。FET50及び60がオフにバイアスされそしてFET45及び55がオンにバイアスされると、FET45及び55並びに以前に100ボルトまで充電されていたコンデンサ90により電圧 $2V_s$ が線95に印加される。このプロセスを繰り返すことにより零-200ボルトの矩形波が線95に発生される。この零-200ボルト矩形波動作の場合にはダイオード70及び75は省略される。

この第4図の単側型維持回路は、セルの放電がFET55及び60の遷移に関連して生じ一方F

FET 45及び50の遷移はこの放電の時刻を決定しないのでスタガ型維持動作に容易に適用される。

第5図を参照するに、同図中の点線X-Xの左側の部分の背景維持及び中間点への復帰回路105は第4図の同じく点線X-Xの左側の部分の回路に対応する。この回路105は、残りの単側型維持回路110乃至140の夫々に共通である。回路110乃至140の夫々は、第4図の点線X-Xの右側の部分の回路と同一である。第5図の回路は次のようにして動作する。回路105内のFET 45及び50は第6図に示すように動作される。維持モジュール即ち回路110乃至140内の各FET対は第4図のFET 55及び60と同じに働く。このFETのターン・オン及びターン・オフ時刻は、水平線95乃至98の夫々に時間的に互いにずれた波形を与えるように少しずつずらされている。例えば、もしも維持回路110のFETが第6図のように時刻T1及びT3に夫々ターン・オンされて時刻T1及びT3で線95を介して放電させるとすると、維持回路120の

FETは時刻T1+ΔT及びT3+ΔTに夫々ターン・オンされる(ここでΔTは、線95及び96に印加される維持電圧相互間の時間のずれを表わす)。同様に、維持回路130及び140も、時間的にずれた関係で動作される。

かくして、本発明に従う単側型維持回路は、単側型構造で100ボルトFETのみを用いて零から200ボルトへのスウィングを可能とし、これによりこれにより垂直軸即ち垂直方向の駆動線はアース電位に保たれたままでよい。200ボルトの動作態様が別個の1つの中間点への復帰トランジスタを必要とするので、200ボルトのFETを用いる場合よりも表示ユニット当たり唯1つのトランジスタだけよけいに必要とするだけである。更に、本発明に従う回路は、中間値復帰型の波形を生じるのに、従来のような±1%に調整されたV_s及び2V_s供給電源を必要とせず、100ボルトの電源を1つしか必要としない。

又、スタガ型維持電圧の印加に基づき、FET 45及び50のピーク電流は各FET 55及び6

0に関連する電流よりもはるかに低い。又、維持回路110乃至140の夫々が互いに電氣的に絶縁されているので、このスタガ型の維持電圧波形は、寄生インピーダンスの両端の電圧降下を減少し、そして電磁的相互干渉、電磁的適合性の問題並びに導通時及び放射の雑音に関連する雑音の問題を減少する。

4. 図面の簡単な説明

第1図は、標準的な従来技法により大型表示パネルに発生される波形を理想波形に比較する図表、第2図は複数のスタガ型維持電圧波形及びこれにより発生される複数の雪崩電流スパイクを示す図表、第3図は表示パネル放電セルの両端に双極性の200ボルトの電圧スウィングを生じる回路を示す図、第4図は単側型維持回路を示す図、第5図は本発明に従うスタガ型維持電圧印加回路を示す図、第6図は維持回路のFETの制御を示す図表である。

30・・・水平方向駆動モジュール、35、35'・・・垂直方向駆動モジュール、105・・・背景維

持及び中間値への復帰回路。

出願人 インターナショナル・ビジネス・マシーンズ・コーポレーション

代理人 弁理士 山 本 仁 朗
(外1名)

FIG 1

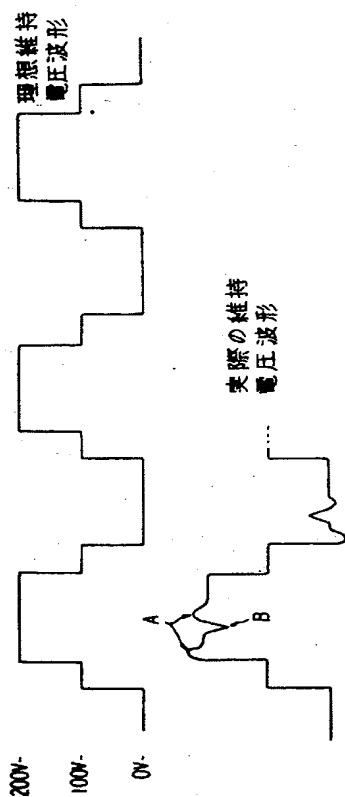


FIG 2

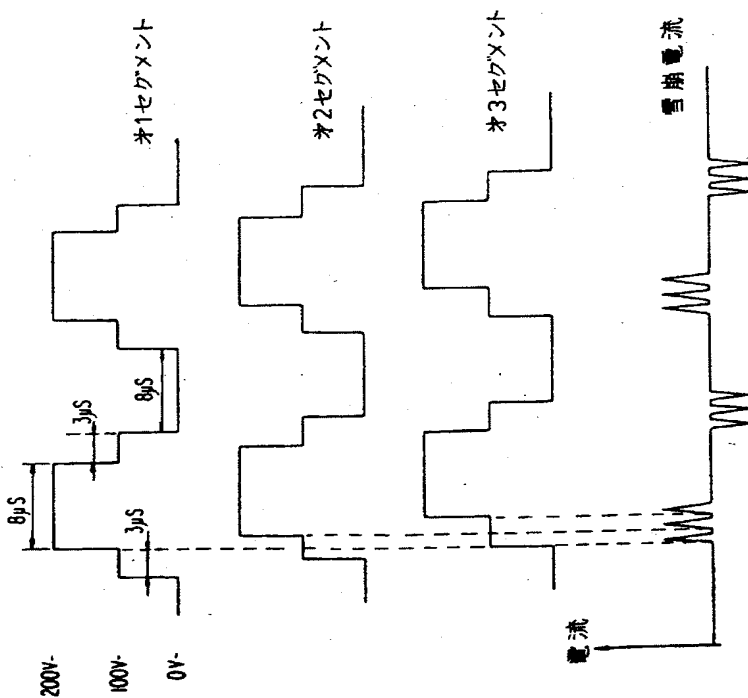


FIG 3

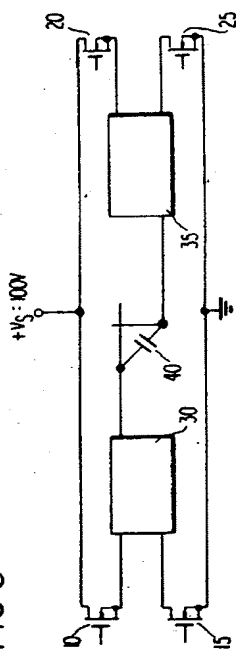


FIG 4

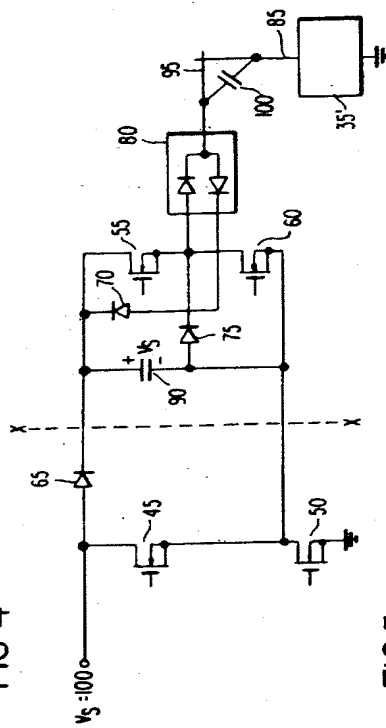
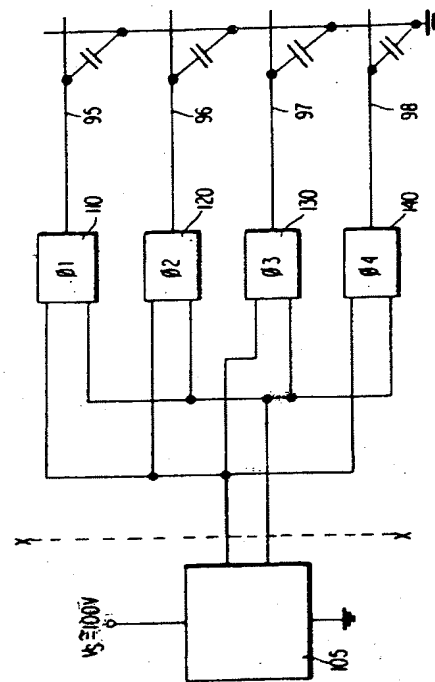


FIG 5



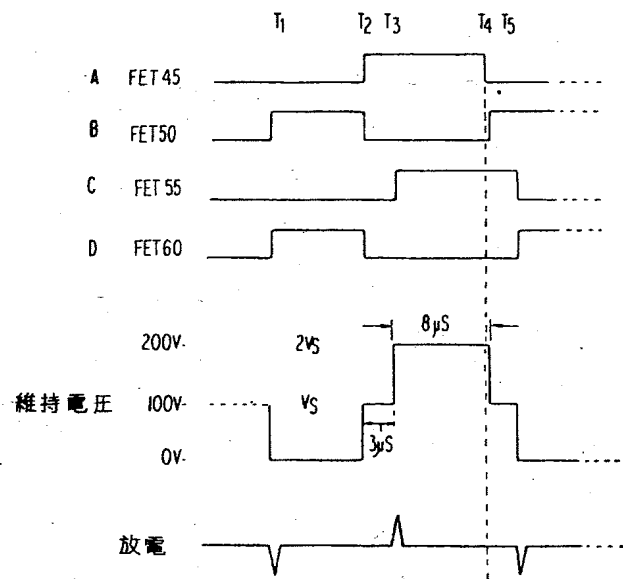


FIG 6